

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-007110

(43)Date of publication of application : 11.01.2002

(51)Int.Cl.	G06F 7/00
	G06F 5/00

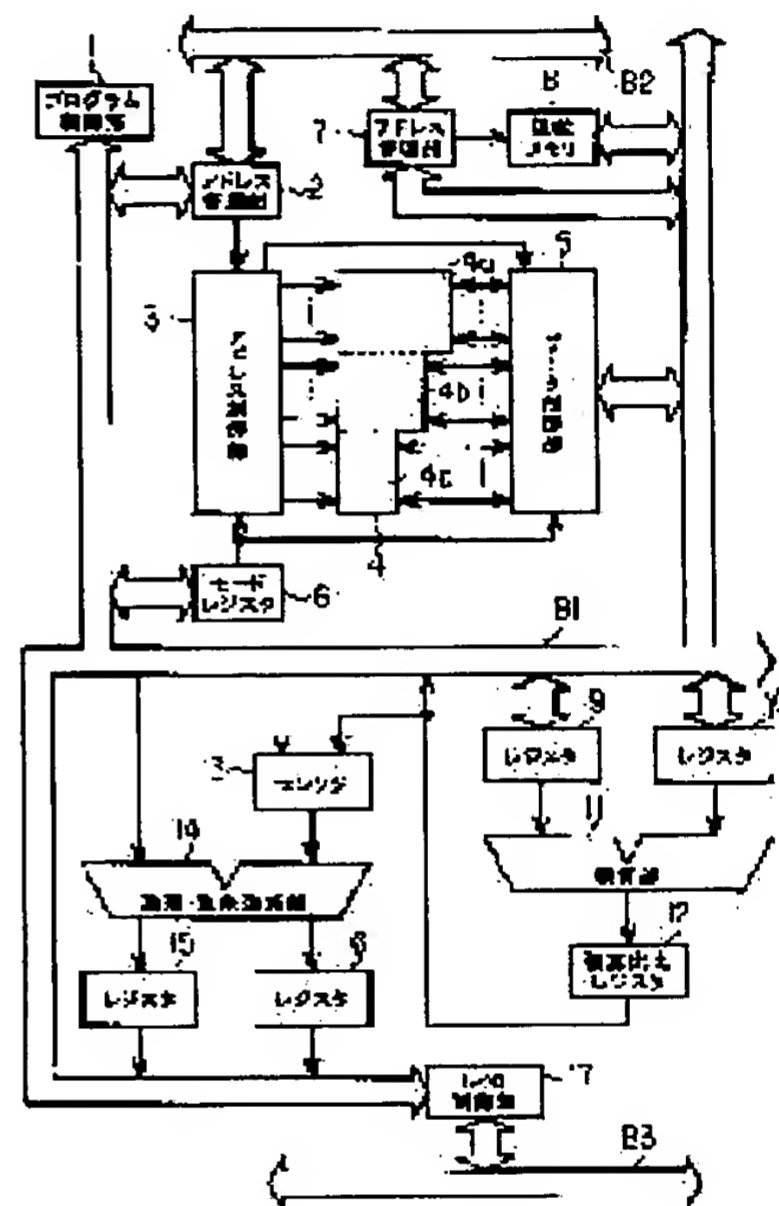
(21)Application number : **2000-192762** (71)Applicant : **TOSHIBA CORP**
(22)Date of filing : **27.06.2000** (72)Inventor : **SHIBUYA KAZUTOSHI**

(54) DIGITAL SIGNAL PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To quickly realize bit processing in a simple constitution with the small number of instructions.

SOLUTION: This device is provided with a work memory 4 in which three kinds of address areas whose bit length is different from each other are allowed to coexist. The three kinds of address areas are constituted as a fixed bit length area 4a and limited bit length areas 4b and 4c, and plural address areas are respectively allowed to belong to each area. The address areas belonging to the fixed bit length area 4a are provided with bit length (n bits) for one word, and the address areas belonging to the limited bit length areas 4b and 4c are respectively provided with different bit length (m0 bit and m1 bit) shorter than the bit length for one word.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP) (12) 公 開 特 許 公 報 (A) (11)特許出願公開番号
特開2002-7110
(P2002-7110A)

(43)公開日 平成14年1月11日(2002.1.11)

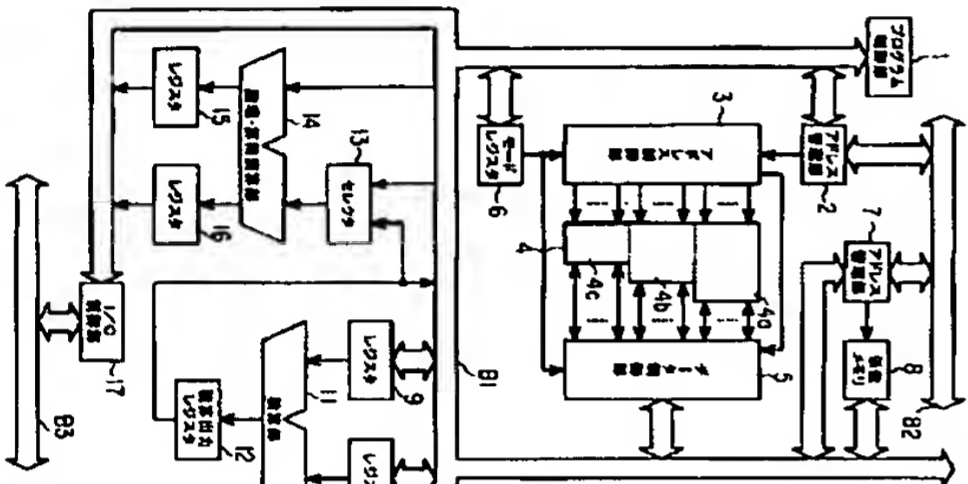
(51)Int.Cl. ⁷	識別記号	F I	デフォルト(参考)
G 0 6 F	7/00	G 0 6 F	5/00 H 5 B 0 2 2
	5/00		7/00 D
			G

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21)出願番号	特願2000-192762(P2000-192762)	(71)出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22)出願日	平成12年6月27日(2000.6.27)	(72)発明者	鎌谷 和俊 東京都日野市旭が丘3丁目1番地の1 株 式会社東芝日野工場内
		(74)代理人	100058479 弁理士 鈴江 武彦 (外6名) Fターム(参考) 58022 BA07 DA05

(54)【発明の名称】 デジタル信号処理装置

- (57)【要約】
【課題】 簡易な構成かつ少ない命令数により高速にビット処理を実現する。
【解決手段】 それぞれビット長が異なる3種類のアドレス領域が混在して設けられた作業用メモリ4を備える。3種類のアドレス領域は、固定ビット長領域4aおよび制限ビット長領域4b、4cであり、それぞれ複数のアドレス領域が属する、固定ビット長領域4aに属するアドレス領域は1ワード分のビット長(nビット)を、また制限ビット長領域4b、4cに属するアドレス領域は1ワード分よりも短くかつそれぞれ異なるビット長(m0ビット, m1ビット)をそれぞれ有する。



【請求項の範囲】

【請求項1】 作業用メモリへのデータの書き込みおよび読み出しによるデータ操作をとまってデジタル信号を処理するデジタル信号処理装置において、前記作業用メモリを、1アドレスで指定される記憶領域として、その容量が1ワードである第1領域および容量が1／gワード(gは所定の自然数)である第2領域とを設けたものとしたことを特徴とするデジタル信号処理装置。

【請求項2】 前記第2領域が書込み先として指定された場合に、データバス1を伝送される1ワードデータにおける所定ビット位置の1／gワード長のビット列を作業用メモリに与える書込データ処理手段と、前記第2領域のいずれかの記憶領域が読出し先として指定された場合に、指定された記憶領域に関連する所定のn側の記憶領域を順に読出し先として前記作業用メモリからデータを読み出す読出制御手段と、この読出制御手段により読み出された1／gワード長のg側のデータを所定の順序で並べて1ワード長のデータを生成して前記データバスへて出力する読出しデータ処理手段とを具備したことを特徴とする請求項1に記載のデジタル信号処理装置。

【請求項3】 前記第2領域のいずれかの記憶領域が書込み先として指定された場合に、指定された記憶領域に関連する所定のg側の記憶領域を順に書込み先として順次指定する書込み領域制御手段と、前記第2領域が書込み先として指定された場合に、前記書込み領域制御手段により指定されたg側の記憶領域にデータバス1を伝送される1ワードデータにおけるそれぞれ異なる所定ビット位置の1／gワード長ずつのg側のビット列を順に書込むべく作業用メモリに与える書込データ処理手段と、

前記第2領域のいずれかの記憶領域が読出し先として指定された場合に、その記憶領域から出力される1／gワード長のデータのみを所定のビット位置に設定してなる1ワード長のデータを生成して前記データバスへて出力する読出しデータ処理手段とを具備したことを特徴とする請求項1に記載のデジタル信号処理装置。

【請求項4】 前記第2領域が書込み先として指定された場合に、データバス1を伝送される1ワードデータにおける所定ビット位置の1／gワード長のビット列を作業用メモリに与える書込データ処理手段と、前記第2領域のいずれかの記憶領域が読出し先として指定された場合に、その記憶領域から出力される1／gワード長のデータのみを所定のビット位置に設定してなる1ワード長のデータを生成して前記データバスへて出力する読出しデータ処理手段とを具備したことを特徴とする請求項1に記載のデジタル信号処理装置。

【請求項5】 前記第2領域のいずれかの記憶領域が書込み先として指定された場合に、指定された記憶領域に

関連する所定のg側の記憶領域を順に書込み先として順次指定する書込み領域制御手段と、

前記第2領域が書込み先として指定された場合に、前記書込み領域制御手段により指定されたg側の記憶領域にデータバス1を伝送される1ワードデータにおけるそれぞれ異なる所定ビット位置の1／gワード長ずつのg側のビット列を順に書込むべく作業用メモリに与える書込データ処理手段と、

前記第2領域のいずれかの記憶領域が読出し先として指定された場合に、指定された記憶領域に関連する所定のg側の記憶領域を順に読出し先として前記作業用メモリからデータを読み出す読出制御手段と、

この読出制御手段により読み出された1／gワード長のg側のデータを所定の順序で並べて1ワード長のデータを生成して前記データバスへて出力する読出しデータ処理手段とを具備したことを特徴とする請求項1に記載のデジタル信号処理装置、

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デジタル信号処理などに用いられる、いわゆるDSP (Digital Signal Processor) などと呼ばれるデジタル信号処理装置に関する、

【0002】

【従来の技術】 DSPを用いた通信処理では、1ワード単位のデータ以外に1ビット、4ビットなどの1ワードよりも短いデータ(以下、制限長データと称する)を取り扱うことがある。例えば、演算結果の正負のみに着目する場合には、1ワード長の演算結果データのうちの最上位の1ビットのみが以降の処理に用いられることとなる。

【0003】 さて、通常DSPが有するメモリは、1アドレスに対応する記憶領域が1ワード長に設定されている。従って制限長データを1ワード幅のメモリに格納すると、メモリの利用効率が低下してしまう。例えば、1ビット長の制限長データを1000個メモリに格納する場合、通常は1000個の記憶領域を占有することとなり、1ワード分が必要となる。すなわち、1ワードを16ビットとするならば、実際のデータ量の16倍もの容量の記憶領域を占有してしまうことになる。

【0004】 しかし、制限長データを1ワード分連結してからメモリに格納することとすれば、実際のデータ量と同容量の記憶領域で全てのデータを保持することが可能である。

【0005】 そこで従来より、このような制限長データの連結処理(以下、バツク動作と称する)を行うことでメモリ使用効率の向上を図ることが行われている。なお、このバツク動作を行う場合、制限長データを用いた処理を行うために連結データから個々の制限長データを分離する処理(以下、フンバツク動作と称する)も行う

こととなる。

【0006】さて、このようなバック動作やアンバック動作を通常の論理演算処理により実現する場合、対象データの抽出し用のバス処理のための論理値（AND）、ビット位置合わせのためのシフト命令およびビット連結を行うための論理和（OR）演算を行うなどの処理を実行することになる。このため、多数の命令を実行しなければならず、実質的な演算速度の向上の妨げとなってしまう。

【0007】なお、上述のようなバック動作やアンバック動作を実現するユニットをDSPの外部に設けて、このユニットを外部バスを介してアクセスすることでバックされたデータをDSP内部のメモリに格納可能とする構成も考えられるが、この場合には外部バスへのアクセスが必要であるために、依然として多数の命令を実行しなければならぬ。

【0008】そこで、バック動作やアンバック動作を簡単に良く行うことを可能とするために使用可能なメモリアクセスモード機能を有するDSPが存する

【0009】ここでメモリアクセスモードとは、ワード、バイト、ビット単位などでメモリをアクセスするモードである、そしてこのメモリアクセスモードを利用すれば、例えばメモリアクセスをビットモードに設定し、1ビットデータを1ビット単位でメモリに格納したのち、ワードモードに切り替えて読み出すとバック動作が可能となる。また、ワードモードでデータを格納し、ビットモードに切り替えて読み出せば、ビットデータの切り出し（アンバック動作）が可能となる。

【0010】しかしながら、メモリアクセスモード機能を実現するためには、全メモリ空間についてのアクセス形態をモード毎で変更できるようにするためにアドレスデコーダおよび出力データの加減などの回路が必要となる、そしてこの種の回路は、非常に複雑な構成となるために、メモリ応答速度の低下を来し、その結果、DSP演算速度の向上の妨げになるなどの不具合が生じる。

【0011】また、無線通信端末などにおいてはインタリーフ処理が行われることが多いが、このようなインタリーフ処理は1ビット毎などのような小さなデータブロックの並べ替えにより実現される。

【0012】従ってこのような処理も、多数の命令の組み合わせによるか、あるいはメモリアクセスモード機能を備えたDSPを用いなければならず、演算速度向上の妨げとなっていた。

【0013】

【発明が解決しようとする課題】以上のように従来は、DSPにてバック動作・アンバック動作やインタリーフ処理などのようなワード長に満たないデータを処理対象とするいわゆるビット処理を行おうとすると、多数の命令を使用しなければならなかったり、メモリアクセスモード機能を備えた低速なDSPを用いなければならな

いという不具合があった。

【0014】本発明はこのような事情を考慮してなされたものであり、その目的とするところは、簡易な構成かつ少ない命令数により高速にビット処理を実現することができるデジタル信号処理装置を提供することにある。

【0015】

【課題を解決するための手段】以上の目的を達成するために第1の本発明は、作業用メモリへのデータの書き込みおよび読み出しによるデータ操作をともなうデジタル信号処理するデジタル信号処理装置において、前記作業用メモリを、1ワード長で指定される例えば固定ビット長領域などの記憶領域として、その容量が1ワードである第1領域および容量が1/gワード（gは所定の自然数）である例えば制限ビット長領域などの第2領域とを設けたものとした。

【0016】このような手段を講じたことにより、作業用メモリ第2領域へのデータの書き込みや読み出しを適宜行うことで、1/gワード分のビット列単位でのビット処理を行うことが可能となる。

【0017】また上記目的を達成するために第2の本発明は、前記第1の発明に加えて、前記第2領域が書き込み先として指定された場合に、データバス上を伝送される1ワードデータにおける所定ビット位置の1/gワード長のビット列を作業用メモリに与える例えばデータ制御部などの書込データ処理手段と、前記第2領域のいずれかの記憶領域が読み出し先として指定された場合に、指定された記憶領域に関連する所定のg側の記憶領域を順に読み出し先として前記作業用メモリからデータを読み出す例えばアドレス制御部などの読み出し手段と、この読み出し手段により読み出された1/gワード長のg側のデータを所定の順序で並べて1ワード長のデータを生成して前記データバスへと出力する例えばデータ制御部などの読み出しデータ処理手段とを備えた。

【0018】このような手段を講じたことにより、データバス上を伝送される1ワードデータにおける所定ビット位置の1/gワード長のビット列が抽出されて作業用メモリ第2領域に格納される。そしてこの第2領域に記憶された所定のg側のビット列が読み出され、これらを所定の順序で並べて1ワード長のデータが生成される。従って、g側の1ワードデータにおける所定ビット位置の1/gワード長のビット列をそれぞれ連結するバック動作が行われる。

【0019】また上記目的を達成するために第3の本発明は、前記第1の発明に加えて、前記第2領域のいずれかの記憶領域が書き込み先として指定された場合に、指定された記憶領域に関連する所定のg側の記憶領域を順に書き込み先として順次指定する例えばアドレス制御部などの書き込み領域制御手段と、前記第2領域が書き込み先として指定された場合に、前記書き込み領域制御手段により指

定されたg側の記憶領域にデータバス上を伝送される1ワードデータにおけるそれぞれ異なる所定ビット位置の1/gワード長ずつのg側のビット列を順に書き込むべく作業用メモリに与える例えばデータ制御部などの書込データ処理手段と、前記第2領域のいずれかの記憶領域が読み出し先として指定された場合に、その記憶領域から出力される1/gワード長のデータのみを所定のビット位置に設定してなる1ワード長のデータを生成して前記データバスへと出力する例えばデータ制御部などの読み出しデータ処理手段とを備えた。

【0020】このような手段を講じたことにより、データバス上を伝送される1ワードデータにおけるそれぞれ異なる所定ビット位置の1/gワード長ずつのg側のビット列がそれぞれ抽出されて作業用メモリ第2領域に格納される。そしてこの第2領域に記憶された1/gワード長のデータのそれぞれ読み出し時に、その1/gワード長のデータのみを所定のビット位置に設定してなる1ワード長のデータが生成される。従って、1/gワード長のビット列をg側連結してなるデータから1/gワード長のビット列のそれぞれを分離するアンバック動作が行われる。

【0021】また上記目的を達成するために第4の本発明は、前記第1の発明に加えて、前記第2領域が書き込み先として指定された場合に、データバス上を伝送される1ワードデータにおける所定ビット位置の1/gワード長のビット列を作業用メモリに与える例えばデータ制御部などの書込データ処理手段と、前記第2領域のいずれかの記憶領域が読み出し先として指定された場合に、その記憶領域から出力される1/gワード長のデータのみを所定のビット位置に設定してなる1ワード長のデータを生成して前記データバスへと出力する例えばデータ制御部などの読み出しデータ処理手段とを備えた。

【0022】このような手段を講じたことにより、データバス上を伝送される1ワードデータにおける所定ビット位置の1/gワード長のビット列が抽出されて作業用メモリ第2記憶領域に格納される。そしてこの第2記憶領域に記憶された1/gワード長のビット列の読み出し時に、その1/gワード長のデータのみを所定のビット位置に設定してなる1ワード長のデータが生成される。従って、1ワードデータにおける所定ビット位置の1/gワード長のビット列の抽出が行われる。

【0023】また上記目的を達成するために第5の本発明は、前記第1の発明に加えて、前記第2領域のいずれかの記憶領域が書き込み先として指定された場合に、指定された記憶領域に関連する所定のg側の記憶領域を順に書き込み先として順次指定する例えばアドレス制御部などの書き込み領域制御手段と、前記第2領域が書き込み先として指定された場合に、前記書き込み領域制御手段により指定されたg側の記憶領域にデータバス上を伝送される1ワードデータにおけるそれぞれ異なる所定ビット位置の

1/gワード長ずつのg側のビット列を順に書き込むべく作業用メモリに与える例えばデータ制御部などの書込データ処理手段と、前記第2領域のいずれかの記憶領域が読み出し先として指定された場合に、指定された記憶領域に関連する所定のg側の記憶領域を順に読み出し先として前記作業用メモリからデータを例えばアドレス制御部などの読み出す読み出し手段と、この読み出し手段により読み出された1/gワード長のg側のデータを所定の順序で並べて1ワード長のデータを生成して前記データバスへと出力する例えばデータ制御部などの読み出しデータ処理手段とを備えた。

【0024】このような手段を講じたことにより、データバス上を伝送される1ワードデータにおけるそれぞれ異なる所定ビット位置の1/gワード長ずつのg側のビット列がそれぞれ分離されて作業用メモリ第2領域に格納される。そしてこの第2記憶領域に記憶された1/gワード長のビット列の読み出し時に、その1/gワード長のg側のデータを所定の順序で並べて1ワード長のデータが生成される。従って、1ワードデータにおけるそれぞれ異なる所定ビット位置の1/gワード長ずつのg側のビット列を、11分離した上で、それら1/gワード長ずつのg側のビット列をそれぞれ連結するアンバック動作が行われる。

【0025】

【発明の実施の形態】以下、図面を参照して本発明の実施形態につき説明する。

【0026】図1は本実施形態のデジタル信号処理装置を適用して構成されたDSPの要部構成を示すブロック図である。

【0027】この図に示すように本実施形態のDSPは、プログラム制御部1、アドレス管理部2、アドレス制御部3、作業用メモリ4、データ制御部5、アドレススタ6、アドレス管理部7、係数メモリ8、レジスタ9、10、積算部11、積算出力レジスタ12、セリクタ13、論理・算術演算部14、レジスタ15、16および1/O制御部17を有している。

【0028】そして、プログラム制御部1、アドレス管理部2、データ制御部5、アドレススタ6、アドレス管理部7、係数メモリ8、レジスタ9、10、積算出力レジスタ12、セリクタ13、論理・算術演算部14、レジスタ15、16および1/O制御部17は、それぞれデータバスB1に接続されている。またアドレス管理部2、7はアドレスバスB2に、1/O制御部17は外部バスB3にもそれぞれ接続されている。

【0029】プログラム制御部1は、任意に設定されるプログラムに基づいて、そのプログラムの記述内容に応じた任意の信号処理を実現するべく各部の動作を制御する、なお図示を省略しているが、このプログラム制御部1の制御対象となる部分とプログラム制御部1との間は制御線により接続されている。

【0030】アドレス管理部2は、作業用メモリ4に関するアドレス管理処理を行う。すなわちアドレス管理部2は、アドレスバスB2を介して指定されるアドレスが作業用メモリ4に対応するものであるときに、そのアドレスに対応した作業用メモリ4のアドレスを出力するなどの処理を行う。このアドレス管理部2が出力するアドレスはアドレス制御部3へと与えられる。

【0031】アドレス制御部3は、作業用メモリ4に設けられた多数のアドレス領域（1つのアドレスが割り付けられた記憶領域）のそれぞれをアクセス先として指定するセレクト信号を任意に発生して作業用メモリ4へと与える。アドレス制御部3は、アドレス管理部2から与えられるアドレスに基づいてセレクト信号の出力を行うが、モードレジスタ6から与えられるモード制御信号により与えられるモードに応じてセレクト信号の出力形態を後述するように変化させる。

【0032】作業用メモリ4は、半導体メモリよりなり、多数のアドレス領域が設定されている。この多数のアドレス領域は、固定ビット長領域4aおよび制限ビット長領域4b、4cのいずれかに複数分割されている。ここで各領域は図2に示すように、固定ビット長領域4aに属するアドレス領域は1ワード分のビット長（nビット）を、また制限ビット長領域4b、4cに属するアドレス領域は1ワード分よりも短くかつそれぞれ異なるビット長（m0ビット、m1ビット）をそれぞれ有する。すなわち作業用メモリ4は、それぞれビット長が異なる3種類のアドレス領域が混在して設けられている。

【0033】データ制御部5は、作業用メモリ4に設けられた多数のアドレス領域のそれぞれに対応するメモリデータ信号線により作業用メモリ4に接続されている。そしてデータ制御部5はデータバスB1から取り込んだデータを任意のアドレス領域に与えたり、任意のアドレス領域から出力されるデータをデータバスB1へと出力する。データ制御部5はデータを作業用メモリ4やデータバスB1へと出力するに当り、モードレジスタ6から与えられるモード制御信号により与えられるモードに応じて後述するようなデータ処理を行う。

【0034】モードレジスタ6は、ビット処理を行う場合の処理内容に応じたモード情報や任意に登録される、モードレジスタ6は、この登録されたモード情報に応じてモード制御信号を生成してアドレス制御部3およびデータ制御部5へと与える。

【0035】アドレス管理部7は、係数メモリ8に関するアドレス管理処理を行う。すなわちアドレス管理部7は、アドレスバスB2を介して指定されるアドレスが係数メモリ8に対応するものであるときに、そのアドレスに対応した係数メモリ8のアドレスを出力するなどの処理を行う。このアドレス管理部7が出力するアドレスは係数メモリ8へと与えられる。

【0036】係数メモリ8は、信号処理のための係数データを格納しておくために使用される。

【0037】レジスタ9、10は、積算部11の入力用レジスタである。すなわちレジスタ9、10は、積算部11で積算するべき2つのデータを、一時的に保持しておく。

【0038】積算部11は、レジスタ9、10にそれぞれ保持された2つのデータを積算し、その結果を積算出力レジスタ12へと与える。

【0039】積算出力レジスタ12は、積算部11の出力用レジスタである。すなわち積算出力レジスタ12は、積算部11での積算結果を一時的に保持しておく。この積算出力レジスタ12は、レジスタ9、10の容量、すなわち1ワード長の2倍のビット長を有し、これにより演算精度を確保する。この積算出力レジスタ12の保持データは、データバスB1またはセレクト13へと必要に応じて出力される。なお、積算出力レジスタ12の保持データは2ワード長を持つので、データバスB1にて転送する場合には上位、下位の指定が必要となる。

【0040】セレクト13は、積算出力レジスタ12から出力されるデータと、データバスB1を介して到来するデータとのいずれか一方を選択して論理・算術演算部14へと与える。

【0041】論理・算術演算部14には、レジスタ9、10、15、16の保持データおよび積算出力レジスタ12の保持データの上位側のうちのいずれか2つが任意に供給される。そして論理・算術演算部14は、この供給される2つのデータを対象として和算や論理和算などの処理を行う。そして論理・算術演算部14は、2ワード長となる演算結果データの上位側をレジスタ15へ、また下位側をレジスタ16へそれぞれ出力する。

【0042】レジスタ15、16は、1ワード長の容量を有し、論理・算術演算部14から与えられる1ワード長ずつのデータを、一時的に保持しておき、データバスB1へと必要に応じて出力する。

【0043】1/O制御部17は、データバスB1と外部バスB3との間でのデータ交換、すなわち本DSPの外部とのデータ入出力を行う。

【0044】図3はプログラム制御部1の詳細な構成を示すブロック図である。

【0045】この図に示すようにプログラム制御部1は、プログラムカウンタ21、プログラムメモリ22、インストラクションレジスタ23、インストラクションデコーダ24、割込み制御部25、分岐制御部26、スタック制御部27およびアドレスカウンタ28を有している。

【0046】プログラムカウンタ21は、所定のタイミング毎にプログラムアドレスをカウンタアップし、最新のプロگرامアドレスをプログラムメモリ22およびス

タック制御部27へと与える。

【0047】プログラムメモリ22は、実行すべき信号処理の手順が記述されたプログラムが登録されている。そしてプログラムメモリ22は、プログラムカウンタ21から与えられるプログラムアドレスが付されたインストラクションコードをインストラクションレジスタ23に与える。

【0048】インストラクションレジスタ23は、プログラムメモリ22から与えられたインストラクションコードを一時的に記憶しておき、インストラクションデコーダ24へと供給する。

【0049】インストラクションデコーダ24は、インストラクションレジスタ23に保持されたインストラクションコードをデコードし、そのデコード結果に基づいて図1の各部に必要な制御信号を与える。

【0050】割込み制御部25は、割込みが発生した場合にその割込みを実現するためにプログラムカウンタ21が発生するプログラムアドレスを変更させる。

【0051】分岐制御部26は、プログラムによる分岐条件、分岐、サブルーチンの呼び出しが発生した場合にそれらの処理分岐を実現するためにプログラムカウンタ21が発生するプログラムアドレスを変更させる。

【0052】スタック制御部27は、割込みやサブルーチンからの復帰動作のために、プログラムアドレスを必要に応じて待避（スタック）しておき、復帰時にスタックしてある値をプログラムカウンタ21に再設定する。

【0053】アドレスカウンタアップ28は、アドレスのカウントアップ動作を行う。

【0054】次に以上のように構成されたDSPの動作につき説明する。

【0055】まず作業用メモリ4のうちの固定ビット長領域4aおよび制限ビット長領域4b、4cの各アドレス領域をアクセスするためのアドレスは既知であって、ユーザはこれらの3種類のアドレス領域を適宜使用することができる。

【0056】作業用メモリ4のうちの固定ビット長領域4aは、従来通りの1ワード長の領域であるから、この固定ビット長領域4aに属するアドレス領域を用いることで、従来通りの1ワード単位でのデータ処理を行うことができる。

【0057】一方、制限ビット長領域4b、4cは、容量が1ワードよりも小さな制限長（m0ビット、m1ビット）に制限された領域であって、以下に説明するようにして使用することでm0ビット単位やm1ビット単位でのビット処理を行うことができる。

【0058】以下、このようなビット処理に関する動作について詳しく説明する。

【0059】まずビット処理を行う場合、モードレジスタ6に第1モード～第4モードのそれぞれを示すモード情報のいずれかを設定しておく。

【0060】（第1モード）このモードは、1ワード中の所定位置のm0ビット分のビット列をn/m0ワード分、あるいは1ワード中の所定位置のm1ビット分のビット列をn/m1ワード分連結してnビット長、すなわち1ワード長のデータを作成するバック動作を行うモードである。

【0061】1ワード中の所定位置のm0ビット分のビット列をn/m0ワード分連結するバック動作を行う場合には、連結すべきビット列を含むn/m0個がデータバスB1を伝送されるときに、制限ビット長領域4bに属する連続するn/m0個のアドレス領域を、読み先アドレスi、i+1、…、i+kとして順次指定することとする。なおここでのkは「(n/m0) - 1」で求まる値であり、n=16、m0=4とするならば、k=3となる。

【0062】そうするとアドレス制御部3は、このn/m0個の読み先アドレスのそれぞれが示すアドレス領域をアクセス先とすべくセレクト13の信号を出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであること（セレクト13の信号が制限ビット長領域4bであることをセレクト13の信号が示す）を通知する。

【0063】一方、データ制御部5は、アクセス先が制限ビット長領域4bであることが通知され、かつ書き込み時であるならば、データバスB1を介して到来する1ワード長のデータのうちの上位m0ビットのみを作業用メモリ4に与える。

【0064】かくして、図4(a)に示すように、アドレスi、i+1、…、i+kの各アドレス領域に、n/m0個の1ワードデータのうちの上位m0ビットずつがそれぞれ書き込まれることとなる。なお、1ワードデータのうちの上位m0ビット以外のビット列は廃棄する。

【0065】続いて、このように作業用メモリ4に書き込んだデータを出力する場合、連結するデータが記憶された先頭のアドレス領域のアドレスiを指定することとする。

【0066】そうするとアドレス制御部3は、アドレスiから連続するn/m0個のアドレス領域、すなわちアドレスi、i+1、…、i+kのアドレス領域をそれぞれ読出し先とするべくセレクト13の信号を順次出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0067】これにより、作業用メモリ4からはアドレスi、i+1、…、i+kの各アドレス領域に格納されているm0ビットずつのデータが順次にn/m0個出力されることとなる。

【0068】そこでデータ制御部5は、このn/m0個のm0ビットデータを上位側から順に配置した状態で連結すること、図4(a)に示すようにnビット長、すなわち1ワード長のデータを作成する。そして作業用メモリ4から出力されるデータを例々には出力することなしに、生成した1ワード長のデータをデータバスB1へ

と出力する。

【0069】1ワード中の所定位置の m_1 ビット分のビット列を n/m_1 ワード分連結するバック動作を行う場合には、書き込み先および読出し先のアドレスを $j, j+1, \dots, j+h$ として、かつ制限ビット長領域4cを使用して、図4(b)に示すような上記と同様な動作により実現される。なおここで h は $[(n/m_1)-1]$ で表まる値であり、 $n=16, m_1=1$ とするならば、 $h=15$ となる。

【0070】以上のようにして、ユーザ側、すなわちプログラム作成者側から見れば、制限ビット長領域4b, 4cをアクセス先としてのデータの書き込みと、その書き込んだデータの読み出しとを行うだけで、 n/m_0 個または n/m_1 個の1ワードデータから抽出した m_0 ビット長ずつまたは m_1 ビット長ずつのビット列をバックしてなる1ワード長のデータを生成することができ、

【0071】(第2モード) このモードは、 m_0 ビット長ずつのビット列を n/m_0 個バックしてなる1ワード長のデータや、 m_1 ビット長ずつのビット列を n/m_1 個バックしてなる1ワード長のデータから m_0 ビット長ずつまたは m_1 ビット長ずつのビット列を分離するアンバック動作を行うモードである。

【0072】 m_0 ビット長ずつのビット列を n/m_0 個バックしてなる1ワード長のデータを分離するアンバック動作を行う場合には、まず分離すべき1ワードデータがデータバスB1を伝送されるときに、制限ビット長領域4bに属する任意のアドレス領域のアドレス i を書き込み先として指定することとする。

【0073】そうするとアドレス制御部3は、アドレス i から連続する n/m_0 個のアドレス領域、すなわちアドレス $i, i+1, \dots, i+k$ のアドレス領域をそれぞれ書き込み先とするべくセレクト信号を順次出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0074】一方、データ制御部5は、アクセス先が制限ビット長領域4bであることが通知され、かつ書き込み時であるならば、データバスB1を介して到来する1ワード長のデータを上位から m_0 ビット分ずつ分離して、作業用メモリ4のアドレス $i, i+1, \dots, i+k$ のアドレス領域へとそれぞれ与える。

【0075】かくして、図5(a)に示すように、アドレス $i, i+1, \dots, i+k$ の各アドレス領域に、1ワード長のデータから分離された m_0 ビットずつの n/m_0 個のデータがそれぞれ書き込まれることとなる。

【0076】続いて、このように作業用メモリ4に書き込んだデータを読み出す場合、各データが記憶されたアドレス領域のアドレス $i, i+1, \dots, i+k$ を順次指定することとする。

【0077】そうするとアドレス制御部3は、このアドレスのそれぞれに対応するアドレス領域をそれぞれアク

セス先とするべく順次セレクト信号を出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0078】これにより、作業用メモリ4からはアドレス $i, i+1, \dots, i+k$ の各アドレス領域に格納されている m_0 ビットずつのデータが順に n/m_0 個出力されることとなる。

【0079】そこでデータ制御部5は、この m_0 ビットずつのデータのそれぞれを上位側に配し、残りのビットを全て「0」とした1ワード長のデータとして順次データバスB1へと出力する。

【0080】 m_1 ビット長ずつのビット列を n/m_1 個バックしてなる1ワード長のデータから m_1 ビット長ずつのビット列を分離するアンバック動作を行う場合には、書き込み先および読出し先のアドレスを $j, j+1, \dots, j+h$ として、かつ制限ビット長領域4cを使用して、図5(b)に示すような上記と同様な動作により実現される。

【0081】以上のようにして、ユーザ側、すなわちプログラム作成者側から見れば、制限ビット長領域4b, 4cをアクセス先としてのデータの書き込みと、その書き込んだデータの読み出しとを行うだけで、 m_0 個または m_1 ビット長ずつのビット列を n/m_0 個または n/m_1 個バックしてなる1ワード長のデータから m_1 ビット長ずつのビット列を分離することができ、

【0082】(第3モード) このモードは、1ワード中の所定位置の m_0 ビット分のビット列や1ワード中の所定位置の m_1 ビット分のビット列を抽出するモードである。

【0083】1ワード中の所定位置の m_0 ビット分のビット列を抽出する場合には、その抽出すべきビット列を含むデータがデータバスB1を順次伝送されるのに合わせて、制限ビット長領域4bに属する連続する n/m_0 個のアドレス領域を書き込み先アドレス $i, i+1, \dots, i+k$ として順次指定することとする。

【0084】そうするとアドレス制御部3は、この n/m_0 個の書き込み先アドレスのそれぞれが示すアドレス領域をアクセス先とするべくセレクト信号を出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0085】一方、データ制御部5は、アクセス先が制限ビット長領域4bであることが通知され、かつ書き込み時であるならば、データバスB1を介して到来する1ワード長のデータのうちの上位 m_0 ビットのみを作業用メモリ4に与える。

【0086】かくして、図6(a)に示すように、アドレス $i, i+1, \dots, i+k$ の各アドレス領域に、データバスB1を順次伝送される n/m_0 個の1ワードデータのうちの上位 m_0 ビットがそれぞれ書き込まれることとなる。

【0087】続いて、このように作業用メモリ4に書き込んだデータを読み出す場合、各データが記憶されたアドレス領域のアドレス $i, i+1, \dots, i+k$ を順次指定することとする。

【0088】そうするとアドレス制御部3は、このアドレスのそれぞれに対応するアドレス領域をそれぞれアクセス先とするべく順次セレクト信号を出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0089】これにより、作業用メモリ4からはアドレス $i, i+1, \dots, i+k$ の各アドレス領域に格納されている m_0 ビットずつのデータが順に n/m_0 個出力されることとなる。

【0090】そこでデータ制御部5は、この m_0 ビットずつのデータのそれぞれを上位側に配し、残りのビットを全て「0」とした1ワード長のデータとして順次データバスB1へと出力する。

【0091】1ワード中の所定位置の m_1 ビット分のビット列を抽出する場合には、書き込み先および読出し先のアドレスを $j, j+1, \dots, j+h$ として、かつ制限ビット長領域4cを使用して、図6(b)に示すような上記と同様な動作により実現される。

【0092】以上のようにして、ユーザ側、すなわちプログラム作成者側から見れば、制限ビット長領域4b, 4cをアクセス先としてのデータの書き込みと、その書き込んだデータの読み出しとを行うだけで、1ワード中の所定位置の m_0 ビット分のビット列や1ワード中の所定位置の m_1 ビット分のビット列を抽出することができ、

【0093】(第4モード) このモードは、 m_0 ビット長ずつのビット列を n/m_0 個バックしてなる1ワード長のデータや、 m_1 ビット長ずつのビット列を n/m_1 個バックしてなる1ワード長のデータから m_0 ビット長ずつまたは m_1 ビット長ずつのビット列を分離した上で、再度 m_0 ビット長ずつのビット列を n/m_0 個バックしてなる1ワード長のデータや、 m_1 ビット長ずつのビット列を n/m_1 個バックしてなる1ワード長のデータを作成する再バック動作を行うモードである。

【0094】 m_0 ビット長ずつのビット列を n/m_0 個バックしてなる1ワード長のデータの再バック動作を行う場合には、まず分離すべき1ワードデータがデータバスB1を伝送されるときに、制限ビット長領域4bに属する任意のアドレス領域のアドレス i を書き込み先として指定することとする。

【0095】そうするとアドレス制御部3は、アドレス i から連続する n/m_0 個のアドレス領域、すなわちアドレス $i, i+1, \dots, i+k$ のアドレス領域をそれぞれ書き込み先とするべくセレクト信号を順次出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0096】一方、データ制御部5は、アクセス先が制限ビット長領域4bであることが通知され、かつ書き込み時であるならば、データバスB1を介して到来する1ワード長のデータを上位から m_0 ビット分ずつ分離して、作業用メモリ4のアドレス $i, i+1, \dots, i+k$ のアドレス領域へとそれぞれ与える。

【0097】かくして、図7(a)に示すように、アドレス $i, i+1, \dots, i+k$ の各アドレス領域に、1ワード長のデータから分離された m_0 ビットずつの n/m_0 個のデータがそれぞれ書き込まれることとなる。

【0098】続いて、このように作業用メモリ4に書き込んだデータを読み出す場合、連続するデータが記憶された先頭のアドレス領域のアドレス i を指定することとする。

【0099】そうするとアドレス制御部3は、アドレス i から連続する n/m_0 個のアドレス領域、すなわちアドレス $i, i+1, \dots, i+k$ のアドレス領域をそれぞれ読出し先とするべくセレクト信号を順次出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bに属することであることがデータ制御部5に対して通知する。

【0100】これにより、作業用メモリ4からはアドレス $i, i+1, \dots, i+k$ の各アドレス領域に格納されている m_0 ビットずつのデータが順に n/m_0 個出力されることとなる。

【0101】そこでデータ制御部5は、この n/m_0 個の m_0 ビットデータを上位側から順に配置した状態で連結することで、図7(a)に示すように n ビット長、すなわち1ワード長のデータを作成する。そして作業用メモリ4から出力されるデータを順々に抽出することなしに、生成した1ワード長のデータをデータバスB1へと出力する。

【0102】1ワード中の所定位置の m_1 ビット分のビット列を n/m_1 ワード分連結するバック動作を行う場合には、書き込み先および読出し先のアドレスを $j, j+1, \dots, j+h$ として、かつ制限ビット長領域4cを使用して、図7(b)に示すような上記と同様な動作により実現される。

【0103】以上のようにして、ユーザ側、すなわちプログラム作成者側から見れば、制限ビット長領域4b, 4cをアクセス先としてのデータの書き込みと、その書き込んだデータの読み出しとを行うだけで、 m_0 ビット長ずつのビット列を n/m_0 個バックしてなる1ワード長のデータや、 m_1 ビット長ずつのビット列を n/m_1 個バックしてなる1ワード長のデータの再バック動作を行うことができる。

【0104】以上のように本実施形態によれば、ユーザ側、すなわちプログラム作成者側から見ての制限ビット長領域4b, 4cをアクセス先としてのデータの書き込みと、その書き込んだデータの読み出しとにより各所のビット処理を行うことが可能である。従って、命令数は

データの書き込みや読み出しに関する少数で済み、短時間処理することが可能である。

【0105】しかも本実施形態では、メモリアクセスモード機能を有するDSPのように作業用メモリ4でのアドレス領域とアドレスとの対応関係を変化させる必要が無く、一時的なアドレスにより作業用メモリ4のアクセス制御を行うので、アドレス制御部3は簡易な構成により実現可能であり、作業用メモリ4のアクセス速度の低下は最小限に抑えることができる。

【0106】このようなことから本実施形態によれば、高速にビット処理を行うことが可能である。

【0107】なお本発明は上記実施形態に限定されるものではない。例えば上記実施形態では、1ワード長のデータからの抽出するビット列を1ワード長のデータの上位側のビット列としているが、この抽出するビット列の位置は任意に設定可能である。

【0108】また上記実施形態では、ハック動作の際には抽出したデータをその抽出前に連結するものとしているが、この連結動作は任意に設定可能である。例えばメモリ4には、抽出動作を抽出動作と異ならせるようにすることで、ビット単位でのデータの並び替えが実現できる。

【0109】また上記実施形態では、制限ビット長領域を4bおよび4cの2種類備えることとしているが、1種類のみのみ選けるようにしても良いし、3種類以上選けるようにしても良い。

【0110】また上記実施形態では、4つのモードを備えて、4種類のビット処理を選択的に実行可能としているが、上記の4つのモードの全てを備える必要はない。そして1種類のビット処理を行うように構成することも可能であり、その場合にはモード選択のための構成を排除できる。

【0111】また上記実施形態では、アドレス制御部3およびデータ制御部5の処理を変更することで任意のビット処理を行うことが可能であり、上記実施形態に挙げた4種類のビット処理以外のビット処理を行うようにしても良い。

【0112】また、行うビット処理によっては、アドレス制御部3やデータ制御部5での処理をソフトウェア処理により行うようにすることも可能である。

【0113】また上記実施形態では、本発明に係るデジタル信号処理装置をDSPに適した例を示しているが、LSI化しないて実現するなどのように他の形態で実現することも可能である。

【0114】このほか、本発明の要件を逸脱しない範囲で種々の変形実施が可能である。

【0115】

【発明の効果】第1の本発明は、作業用メモリを、1アドレスで指定される記憶領域として、その容量が1ワードである第1領域および容量が1／gワード（gは所定

の自然数）である第2領域とを設けたものとしたので、作業用メモリ第2領域へのデータの書き込みや読み出しを適宜行うことで、1／gワード分のビット列単位でのビット処理を行うことが可能となり、しかもアクセス制御に関しては第1領域および第2領域のいずれも同じアドレス領域として扱えばよく、この結果、簡易な構成かつ少ない命令数により高速にビット処理を実現することができるデジタル信号処理装置となる。

【0116】また第2の本発明は、データバス1を送送される1ワードデータにおける所定ビット位置の1／gワード長のビット列を抽出して作業用メモリ第2領域に11格納し、さらにこの第2領域に記憶された所定のg個のビット列を所定の順序で並べて1ワード長のデータを作成するようにしたので、g個の1ワードデータにおける所定ビット位置の1／gワード長のビット列をそれぞれ連結するハック動作を作業用メモリへの書き込みおよび読み出し処理により行うことが可能なデジタル信号処理装置となる。

【0117】また第3の本発明は、データバス1を送送される1ワードデータにおけるそれぞれ異なる所定ビット位置の1／gワード長ずつのg個のビット列をそれぞれ抽出して作業用メモリ第2領域に11格納し、さらにこの第2領域に記憶された1／gワード長のデータを個々に所定のビット位置に設定してなる1ワード長のデータを作成するようにしたので、1／gワード長のビット列をg個連結してなるデータから1／gワード長のビット列のそれぞれを分離するアンハック動作を作業用メモリへの書き込みおよび読み出し処理により行うことが可能なデジタル信号処理装置となる。

【0118】また第4の本発明は、データバス1を送送される1ワードデータにおける所定ビット位置の1／gワード長のビット列を抽出して作業用メモリ第2記憶領域に11格納し、さらにこの第2記憶領域に記憶された1／gワード長のビット列のみを所定のビット位置に設定してなる1ワード長のデータを作成するようにしたので、1ワードデータにおける所定ビット位置の1／gワード長のビット列の抽出処理を作業用メモリへの書き込みおよび読み出し処理により行うことが可能なデジタル信号処理装置となる。

【0119】また第5の本発明は、データバス1を送送される1ワードデータにおけるそれぞれ異なる所定ビット位置の1／gワード長ずつのg個のビット列をそれぞれ分離して作業用メモリ第2領域に11格納し、さらにこの第2記憶領域に記憶された1／gワード長のビット列を所定の順序で並べて1ワード長のデータを作成するようにしたので、1ワードデータにおけるそれぞれ異なる所定ビット位置の1／gワード長ずつのg個のビット列を11分離した上で、それら1／gワード長ずつのg個のビット列をそれぞれ連結するハック動作を作業用メモリへの書き込みおよび読み出し処理により行うこ

とが可能なデジタル信号処理装置となる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るデジタル信号処理装置を適用して構成されたDSPの要部構成を示すブロック図。

【図2】図1中の作業用メモリ4の詳細構成を示すブロック図。

【図3】図1中のプログラム制御部1の詳細構成を示すブロック図。

【図4】第1モードにおけるハック動作の様子を示す図。

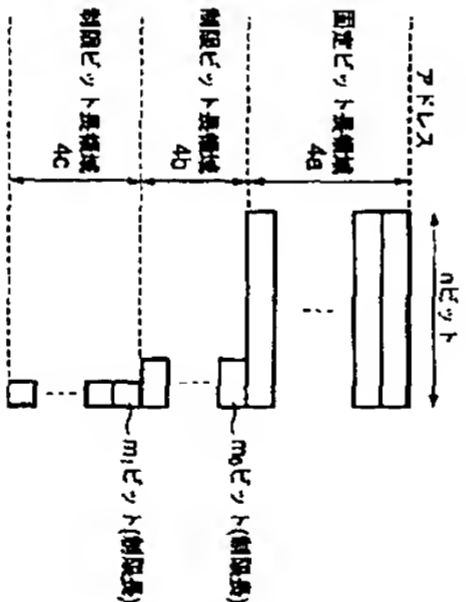
【図5】第2モードにおけるアンハック動作の様子を示す図。

【図6】第3モードにおけるビット抽出動作の様子を示す図。

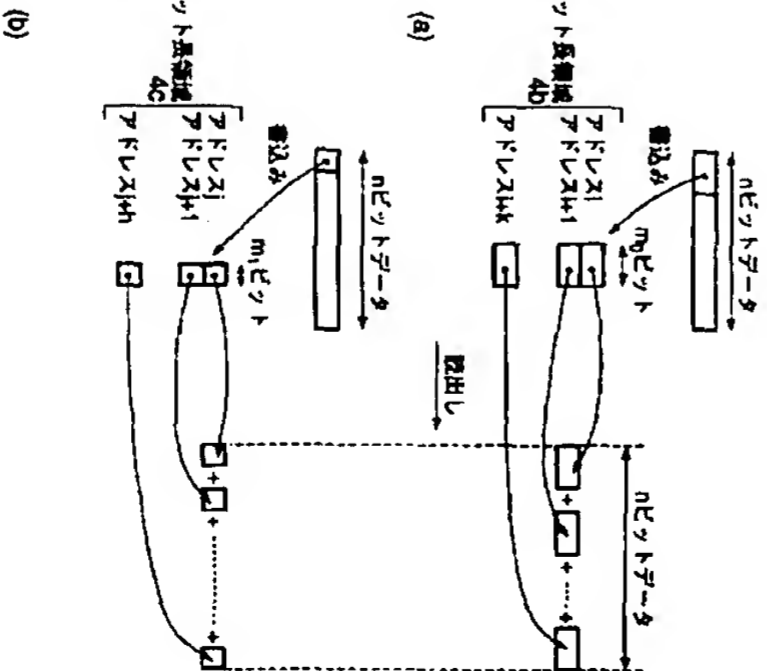
【図7】第4モードにおける再ハック動作の様子を示す図。

【符号の説明】
1…プログラム制御部

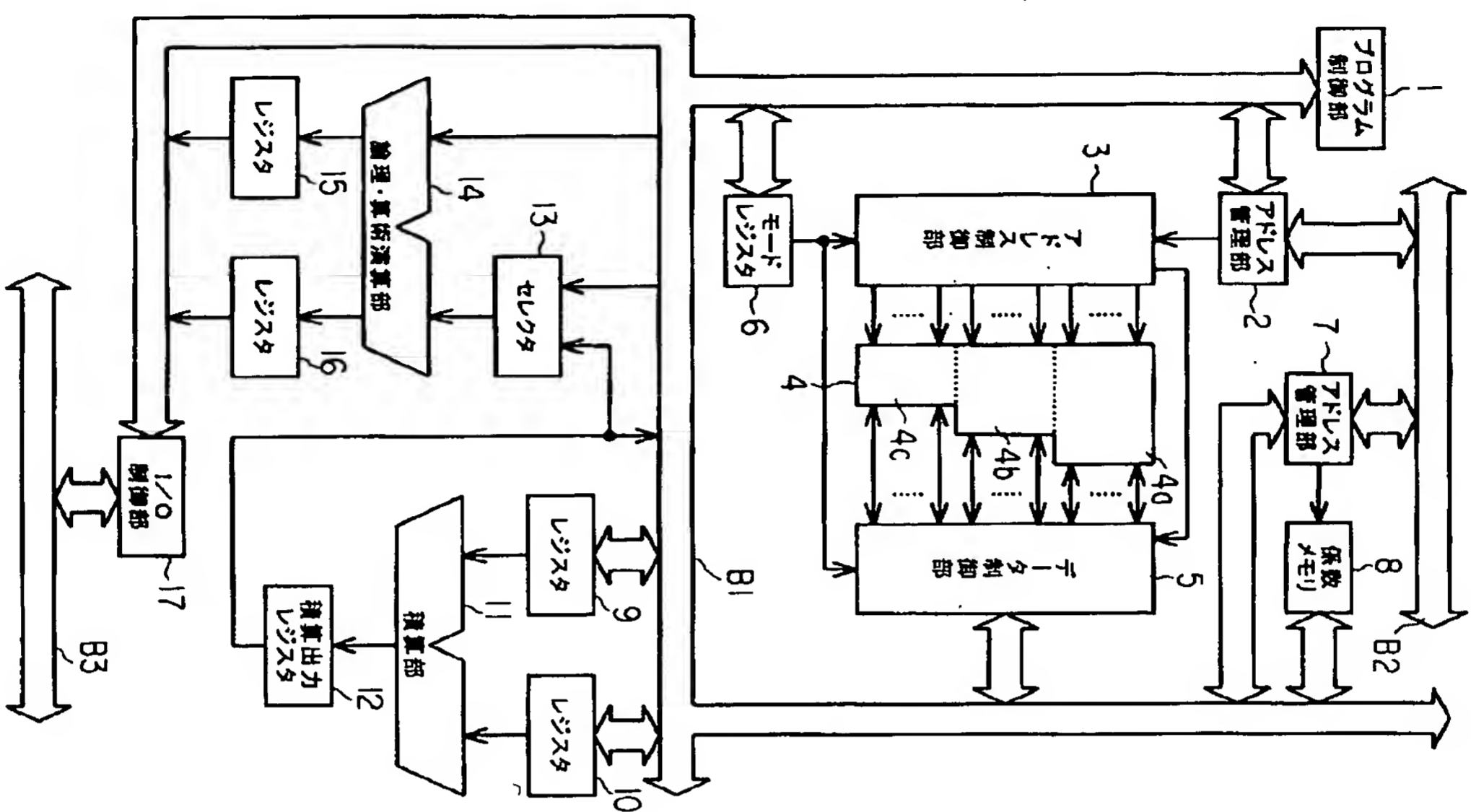
【図2】



【図4】



【図1】



【図3】

